

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-21340

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.<sup>5</sup>  
H 01 L 27/04  
27/108

識別記号 C

府内整理番号 8427-4M

8728-4M

F I

H 01 L 27/ 10

技術表示箇所

3 2 5 M

審査請求 有 発明の数2(全4頁)

(21)出願番号 特願平5-61960  
(62)分割の表示 特願昭61-288913の分割  
(22)出願日 昭和61年(1986)12月5日

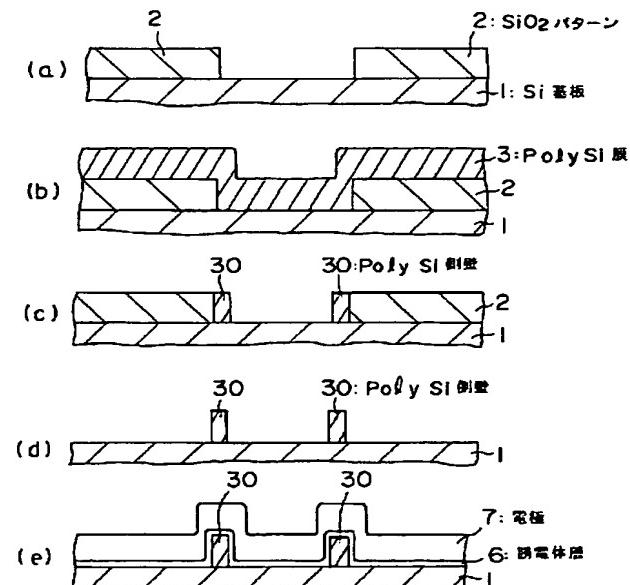
(71)出願人 000000295  
沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号  
(72)発明者 内山 章  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(72)発明者 岩渕 俊之  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 簡易なプロセスで高集積度、大容量の半導体装置を製造する方法を提供する。

【構成】 基板1上に基礎パターン2を形成する。全面に半絶縁性または導電性の層3を形成する。異方性エッチングにより基礎パターン2の側面に電極パターン(側壁)3を形成する。基礎パターンを除去して、全面にキャパシタの誘電体層6を形成する。誘電体層6上にキャパシタの一方の電極を形成する。側壁によるパターンングを行うことにより、微細なパターンを容易に得ることができる。



1

**【特許請求の範囲】**

【請求項1】 基板上に第1層の基礎パターンを形成する工程と、全面に半絶縁性または導電性の第2層を形成する工程と、前記第2層を異方性エッティング法を用いて垂直エッティングすることにより、前記基礎パターンの側面に前記第2層の電極パターンを形成する工程と、前記基礎パターンを除去する工程と、全面にキャパシタの誘電体層を形成する工程と、前記誘電体層上に前記キャパシタの一方の電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 基板上に第1層の基礎パターンを形成する第1工程と、

全面に半絶縁性または導電性の第2層を形成する第2工程と、

前記第2層を異方性エッティング法を用いて垂直エッティングすることにより、前記基礎パターンの側面に前記第2層の電極パターンを形成する第3工程と、

前記基礎パターンを除去する第4工程と、全面にスペースパターンを形成するための第3層を積層する第5工程と、

前記第3層を異方性エッティング法を用いて垂直エッティングすることにより、前記電極パターンの両側面に前記第3層のスペースパターンを形成する第6工程と、

全面に半絶縁性または導電性の第4層を積層する第7工程と、前記第4層を異方性エッティング法を用いて垂直エッティングすることにより、前記スペースパターンの側面に前記第4層の電極パターンを形成する第8工程と、

前記スペースパターンを除去する第9工程と、全面にキャパシタの誘電体層を形成する第10工程と、前記誘電体層上に前記キャパシタの一方の電極を形成する第11工程とを有し、前記第5工程から第8工程を1回またはそれ以上繰り返すことを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、高集積度の電気的信号蓄積部を有する半導体装置の製造方法に関する。

**【0002】**

【従来の技術】従来、高集積メモリセルの構造としては、文献「電子材料、1985年6月号、41~46頁」に記載されているように、トレンチ（溝掘り）型や3次元積み上げ型があった。これらは、集積度向上に伴うセル占有面積の減少によってキャパシタの容量が減少することを避けるために、Si基板に溝を掘り、等価的に面積が増大したその溝の内面をキャパシタの容量部（電気的信号蓄積層）として用いたり、段差の側壁、湾

10

曲による容量増大部を電気的信号蓄積層に利用するものである。

**【0003】**

【発明が解決しようとする課題】しかしながら、このような従来の電気的信号蓄積部を有する半導体装置では、再現性よく深い溝を掘ることは非常に難しく、トレンチ型半導体装置においても溝内部は丸みを有し、深いところでは細くなってしまう。また、積み上げ型半導体装置においては、その容量増大は微々たるものである。このように、従来の技術は製造上難易度の高いプロセスを有する、あるいは大幅な容量増大が期待できないという問題があった。本発明の目的は、簡易なプロセスで高集積、大容量の半導体装置を製造する方法を提供することにある。

**【0004】**

【課題を解決するための手段】本発明は、上記問題点を解決するために、基板上に第1層の基礎パターンを形成し、全面に半絶縁性または導電性の第2層を形成し、この第2層を異方性エッティング法を用いて垂直エッティングすることにより、基礎パターンの側面に第2層の電極パターン（側壁）を形成した後、基礎パターンを除去することを特徴とする。すなわち、側壁による基板表面の凹凸を、容量部面積の増大の手段とするものである。

**【0005】**

【作用】本発明によれば、以上のように側壁のパターン化を行うことにより、微細なパターンが容易に得られ、その凹凸を利用して容量の大きな半導体装置を得ることができる。

**【0006】**

20

【実施例】図1は本発明の第1の実施例の示す工程断面図である。まず、図1(a)に示すように、Si基板1上に全面に化学気相成長法(CVD法)等の手段を用いて、シリコン酸化膜(SiO<sub>2</sub>)を0.4μm程度の厚さに積層する。そして、通常行われているホトリソグラフィおよびエッティングにより基礎パターンとしてのSiO<sub>2</sub>パターン2を形成する。その後、図1(b)に示すように、CVD法等の手段を用いて全面にpoly Si膜3を形成する。

**【0007】**

40

次に、図1(c)に示すように、poly Si膜3の上面より、反応性イオンエッティング(RIE)等の異方性エッティングを用いて、poly Si膜3をエッティングする。これにより、SiO<sub>2</sub>パターン2の側面にのみpoly Si膜が残り、poly Si側壁30が形成される。

【0008】次に、図1(d)に示すように、フッ酸(HF)等を用いて基礎パターンであるSiO<sub>2</sub>パターン2を除去する。これにより、Si基板1上に電極パターンであるpoly Si側壁30が形成される。このpoly Si側壁30とSi基板1による凹凸を、電気的信号蓄積部の表面積増大に用いるのである。

50

【0009】次に、図1(e)に示すように、Si基板1およびpoly Si側壁30の上に、全面にキャパシタの誘電体層6を形成する。誘電体層6は、例えば熱酸化によるSiO<sub>2</sub>膜、CVDによるSiO<sub>2</sub>膜またはSi<sub>3</sub>N<sub>4</sub>膜、あるいは、これらを組み合わせた積層膜でもよい。また、誘電体となり得る材質で、所望の容量値が得られるものであればよい。

【0010】この誘電体層6の上にキャパシタの一方の電極7を、例えば低抵抗のn+poly Siや金属等で形成する。ここで、電極7に対するもう一方の電極としては、poly Si側壁30のみ用いる方法、あるいはpoly Si側壁30とSi基板1との両方を用いる方法が考えられる。そして、それに応じてpoly

Si側壁30、Si基板1を低抵抗化する必要がある。その方法としては、例えば、誘電体層6の形成前または形成後に、インプラや熱拡散等でP、As等の不純物を導入する。また、予め基板1に不純物を導入しておき、この基板1上に不純物を含んだpoly Si側壁30を形成するようにしてもよい。

【0011】一方の電極としてSi基板1、poly Si側壁30を用いたが、これらを金属を含む基板の上に金属を含む材質からなる側壁を形成する構造としても、同様のプロセスが可能であり同様の効果が期待できる。また、以上述べた材料の種々の組み合わせでも同様である。

【0012】図2は本発明の第2の実施例を示す工程断面図である。第2の実施例の工程は、第1の実施例と途中まで(図1(a)～(c))同じである。まず、第1の実施例と同様に、図1(a)～(c)までの工程を経て、Si基板上にpoly Si側壁30を形成する。

【0013】次に、図2(a)に示すように、例えばCVD法によりSiO<sub>2</sub>膜4を全面に形成する。その後、図2(b)に示すように、異方性エッチングによりSiO<sub>2</sub>膜4をエッチングして、poly Si側壁30の側面にスペースパターンとしてのSiO<sub>2</sub>側壁40を形成する。

【0014】次に、図2(c)に示すように、全面にpoly Si膜5を積層する。その後、図2(d)に示すように、異方性エッチングによりpoly Si膜5をエッチングして、SiO<sub>2</sub>側壁40の側面にpoly

Si側壁50を形成する。このようにして、所望の数のpoly Si側壁とSiO<sub>2</sub>側壁を形成する。

【0015】次に、図2(e)に示すように、フッ酸等によりスペースパターンであるSiO<sub>2</sub>側壁40を除去する。これにより、Si基板1上に電極パターンであるpoly Si側壁30, 50が形成される。このpoly Si側壁30, 50とSi基板1による凹凸を、電気的信号蓄積部の表面積増大に用いるのである。

【0016】次に、図2(f)に示すように、Si基板1、poly Si側壁30, 50の上に全面にキャパ

シタの誘電体層6を形成する。この誘電体層6の上にキャパシタの一方の電極7を、例えば低抵抗のn+poly Siや金属等で形成する。ここで、電極7に対するもう一方の電極としては、poly Si側壁30, 50のみ用いる方法、あるいはpoly Si側壁30, 50とSi基板1との両方を用いる方法が考えられる。そして、それに応じてpoly Si側壁30, 50、Si基板1を低抵抗化する必要がある。

【0017】図3は、第2の実施例において形成されたpoly Si側壁を示す斜視図である。図3のA-Aに沿った断面が図2(e)に相当する。図3において、poly Si側壁5-1, 5-2が図2(e)の側壁50に対応し、poly Si側壁3-1が側壁30に対応する。

【0018】以上のように、本発明の実施例によれば、従来の技術的に難易度の高いトレンチ構造や、あまり容量の増大が期待できない積み上げ方式によるメモリキャパシタの欠点を解決することができる。すなわち、側壁によるパターニングを行うことにより、従来のホトリソ手法では不可能な0.2μm幅程度の微細なパターンを容易に得ることができる。これにより、その側壁による凹凸を利用して、電気的信号蓄積部の容量を増大させることができる。

【0019】例えば、キャパシタ(電気的信号蓄積部)面内全域に本手法を用いて側壁による凹凸を作れば、側壁の高さと幅を等しくしても表面積は約2倍になり、容量も2倍になる。さらに高くすれば容量はより大きくなる。実験では高さが0.4μmで幅0.25μmが得られており、この場合は約2.6倍の容量になる。側壁の高さと幅の関係は成膜やエッチングの条件によるので、これらの条件により、さらに容量の大きな電気的信号蓄積部を得ることができる。

#### 【0020】

【発明の効果】以上説明したように、本発明によれば、側壁によるパターニングを行うことにより、微細なパターンを容易に得ることができる。そして、その凹凸を利用して電気的信号蓄積部を形成しているので、高集積度で大容量の半導体装置を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例を示す工程断面図である。

【図2】本発明の第2の実施例を示す工程断面図である。

【図3】第2に実施例で形成されたpoly Si側壁の斜視図である。

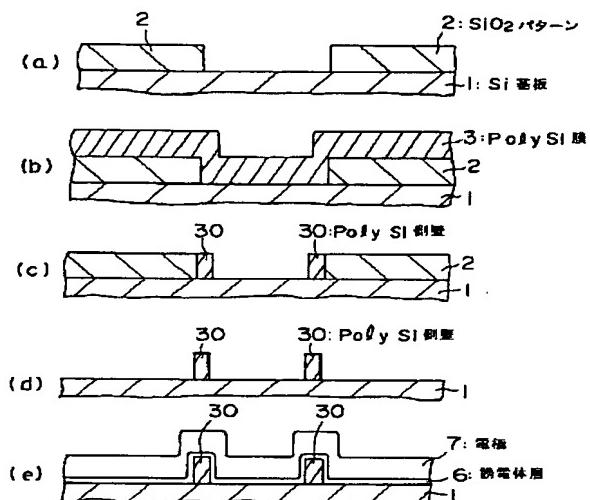
#### 【符号の説明】

- |   |                       |
|---|-----------------------|
| 1 | Si基板                  |
| 2 | SiO <sub>2</sub> パターン |
| 3 | poly Si膜              |
| 4 | SiO <sub>2</sub> 膜    |

5 poly Si 膜  
6 誘電体層  
7 電極

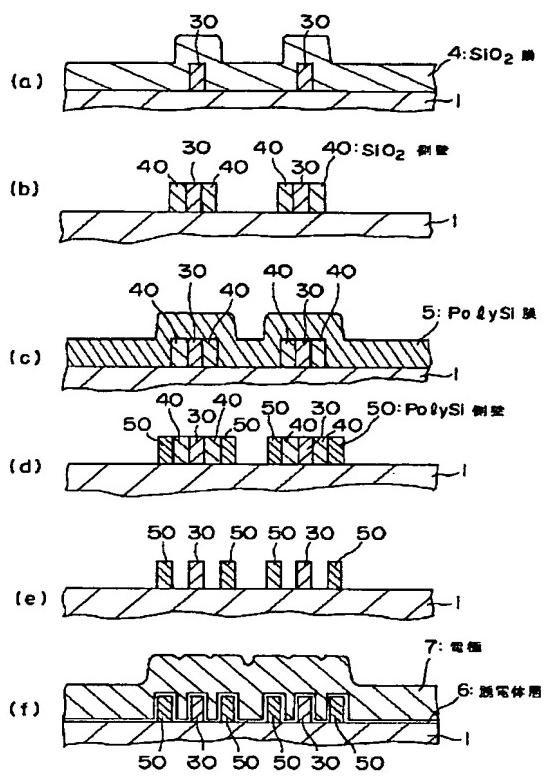
6  
\* 3 0 poly Si 側壁  
4 0 Si O<sub>2</sub> 側壁  
\* 5 0 poly Si 側壁

【図 1】



第 1 の実施例

【図 2】



第 2 の実施例

